

AVAILABLE COPY

VERTICAL SEMICONDUCTOR DEVICE

Patent Number: JP2001244461
Publication date: 2001-09-07
Inventor(s): UESUGI TSUTOMU;; KIGAMI MASAHIITO
Applicant(s): TOYOTA CENTRAL RES & DEV LAB INC
Requested Patent: ☐ JP2001244461
Application Number: JP20000050748 20000228
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To increase a withhold voltage of a vertical MOS field effect transistor 1.
SOLUTION: This vertical MOS field effect transistor 1 has a super junction structure 13. The super junction structure 13 is a structure wherein first conductive semiconductor regions and second conductive semiconductor regions are arranged alternately in a direction vertical to a current flow in a drift region. An insulating region 35 is positioned outside a silicon single crystal region (P-type silicon single crystal region 15) located at an end of the super junction structure 13. The insulating region 35 is formed by burying a silicon oxide film in a trench 33.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-244461

(P2001-244461A)

(43)公開日 平成13年9月7日(2001.9.7)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 29/78	6 5 2	H 0 1 L 29/78	6 5 2 N
			6 5 2 H
	6 5 3		6 5 2 P
			6 5 3 A

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願2000-50748(P2000-50748)

(22)出願日 平成12年2月28日(2000.2.28)

(71)出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番
地の1

(72)発明者 上杉 勉

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(72)発明者 樹神 雅人

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(74)代理人 100090387

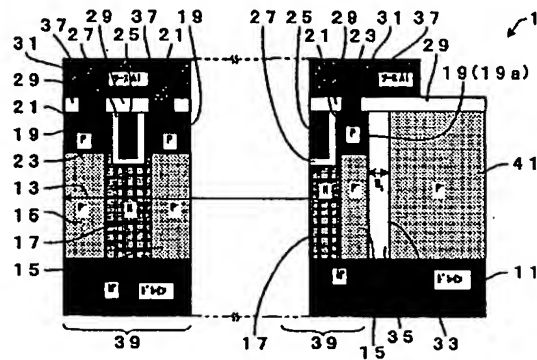
弁理士 布施 行夫 (外2名)

(54)【発明の名称】 縦型半導体装置

(57)【要約】

【課題】 縦型MOS電界効果トランジスタ1の高耐圧化を図ること。

【解決手段】 縦型MOS電界効果トランジスタ1は、スーパージャンクション構造13を備えている。スーパージャンクション構造13とは、ドリフト領域において、第1導電型の半導体領域と第2導電型の半導体領域とが交互に、電流の流れる方向に対して垂直方向に並んだ構造のことである。絶縁領域35は、スーパージャンクション構造13の終端にあるシリコン単結晶領域(P型シリコン単結晶領域15)の外側に位置している。絶縁領域35は、トレンチ33にシリコン酸化膜を埋め込むことにより形成される。



【特許請求の範囲】

【請求項1】 ドリフト領域において、第1導電型の半導体領域と第2導電型の半導体領域とが交互に、電流の流れる方向に対して垂直方向に並んだ構造をし、前記構造により耐圧を保持する縦型半導体装置であって、絶縁領域を備え、前記絶縁領域は、前記構造の終端部に位置している、縦型半導体装置。

【請求項2】 請求項1において、前記絶縁領域は、複数あり、前記絶縁領域は、間を設けて、それぞれのトレンチに埋め込まれており、他の半導体領域を備え、前記他の半導体領域は、前記絶縁領域間に位置しており、前記他の半導体領域は、耐圧保持のとき、空乏化する、縦型半導体装置。

【請求項3】 請求項2において、前記他の半導体領域の一方は、前記縦型半導体装置の高電位側と接続され、かつ、前記他の半導体領域の他方は、前記縦型半導体装置の低電位側と接続されることにより、前記他の半導体領域は空乏化される、縦型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スーパージャンクション構造をした縦型半導体装置に関する。

【0002】

【背景技術】縦型MOS電界効果トランジスタに代表される縦型半導体装置は、例えば、家庭用電気機器や自動車のモータの電力変換や電力制御に使われる。縦型半導体装置のうち、スーパージャンクション構造をしたものが、例えば、特開平11-233759号公報や特開平9-266311号公報に開示されている。スーパージャンクション構造とは、ドリフト領域において、第1導電型の半導体領域と第2導電型の半導体領域とが交互に、電流の流れる方向に対して垂直方向に並んだ構造のことである。この構造によれば、シリコンリミットを超える性能を実現できるので、縦型半導体装置の低オン抵抗化を図るには有効な構造である。

【0003】

【発明が解決しようとする課題】スーパージャンクション構造は、終端にある半導体領域のところで、第1導電型の半導体領域と第2導電型の半導体領域とが交互に並ぶ構造が終わる。よって、スーパージャンクション構造の終端にある半導体領域をいかにするかが問題となる。何ら手段を施さないと、第1導電型の半導体領域と第2導電型の半導体領域との接合耐圧より、電圧が大きくなると、スーパージャンクション構造の終端にある半導体

領域のところで、絶縁破壊が起こる。その結果、シリコンリミットを超える耐圧を実現できなくなるのである。

【0004】本発明の目的は、高耐圧な縦型半導体装置を提供することである。

【0005】

【課題を解決するための手段】本発明は、ドリフト領域において、第1導電型の半導体領域と第2導電型の半導体領域とが交互に、電流の流れる方向に対して垂直方向に並んだ構造をし、前記構造により耐圧を保持する縦型半導体装置であって、絶縁領域を備え、前記絶縁領域は、前記構造の終端部に位置している、ことを特徴とする。

【0006】ドリフト領域において、第1導電型の半導体領域と第2導電型の半導体領域とが交互に、電流の流れる方向に対して垂直方向に並んだ構造とは、スーパージャンクション構造のことである。本発明は、スーパージャンクション構造の終端部に、絶縁領域を配置している。絶縁領域は半導体領域に比べて、絶縁破壊電界強度が高い。例えば、絶縁領域として用いることができるシリコン酸化膜の絶縁破壊電界強度は、10MV/cmであり、半導体領域として用いることができるシリコンの絶縁破壊電界強度は、0.5MV/cmである。このため、本発明によれば、シリコンリミットを超える耐圧を実現することが可能となる。また、絶縁領域は、絶縁破壊電界強度が高いので、絶縁領域の幅が小さくても、耐圧を保持することができる。このため、本発明によれば、縦型半導体装置の高集積化を図ることができる。

【0007】本発明の第2の形態は、以下の構成を特徴とする。前記絶縁領域は、複数あり、前記絶縁領域は、間を設けて、それぞれのトレンチに埋め込まれており、本発明の第2の形態は、他の半導体領域を備え、前記他の半導体領域は、前記絶縁領域間に位置しており、前記他の半導体領域は、耐圧保持のとき、空乏化する。

【0008】絶縁領域の幅を大きくすれば、それだけ、本発明にかかる縦型半導体装置の高耐圧化が可能となる。しかし、本発明の絶縁領域は、トレンチに埋め込まれた絶縁膜である。このため、成膜技術上の理由により、あまり大きな幅のトレンチには、絶縁膜を完全に埋め込むことができない。本発明の第2の形態は、絶縁領域間に配置された他の半導体領域を備える。他の半導体領域は、耐圧保持のとき、空乏化するので、実質的には前記絶縁領域と同等となる。このため、本発明の第2の形態によれば、他の半導体領域と絶縁領域とにより、耐圧を保持するので、より高耐圧化が可能となる。なお、他の半導体領域は、耐圧保持のとき、完全空乏化するのが好ましい。

【0009】本発明の第3の形態は、以下の構成を特徴とする。前記他の半導体領域の一方は、前記縦型半導体装置の高電位側と接続され、かつ、前記他の半導体領域の他方は、前記縦型半導体装置の低電位側と接続される

ことにより、前記他の半導体領域は空乏化される。この構成は、他の半導体領域を空乏化することができる一例である。

【0010】

【発明の実施の形態】〔第1実施形態〕図1は、本発明の第1実施形態の断面図である。第1実施形態は、縦型MOS電界効果トランジスタ1に本発明を適用している。縦型MOS電界効果トランジスタ1の大きな構造を説明する。縦型MOS電界効果トランジスタ1は、多数のセル39で構成される。セル39は、縦型MOS電界効果トランジスタ1の動作の単位となる。セル39は、図1の横方向および奥行き方向に並んでいる。セル39の集合体の周囲には、第1実施形態の特徴である絶縁領域35が位置している。

【0011】次に、縦型MOS電界効果トランジスタ1の詳細な構造を説明する。縦型MOS電界効果トランジスタ1は、N⁺型ドレイン領域11、スーパージャンクション構造13およびN⁺型ソース領域21を備えている。N⁺型ドレイン領域11は、シリコン基板に形成されている。N⁺型ドレイン領域11上には、スーパージャンクション構造13が位置している。スーパージャンクション構造13とは、ドリフト領域において、第1導電型の半導体領域と第2導電型の半導体領域とが交互に、電流の流れる方向に対して垂直方向に並んだ構造のことである。第1実施形態では、第1導電型の半導体領域がP⁻型シリコン単結晶領域15であり、第2導電型の半導体領域がN型シリコン単結晶領域17である。N型シリコン単結晶領域17は、ドリフト領域であり、電流はドリフト領域を流れる。図1において、絶縁領域35は、スーパージャンクション構造13の終端にあるシリコン単結晶領域（第1実施形態では、P⁻型シリコン単結晶領域15）の外側に位置している。絶縁領域35は、トレンチ33にシリコン酸化膜を埋め込むことにより形成される。絶縁領域35の外側には、P⁻型シリコン単結晶領域41が位置している。P⁻型シリコン単結晶領域41は、P⁻型シリコン単結晶領域15とP型不純物濃度が同じである。

【0012】スーパージャンクション構造13上には、P型シリコン単結晶領域19が位置している。P型シリコン単結晶領域19には、N型シリコン単結晶領域17に到達するトレンチ23が形成されている。トレンチ23には、例えば、ポリシリコン膜からなるトレンチゲート電極25が埋め込まれている。トレンチ23の底面とトレンチゲート電極25との間、およびトレンチ23の側面とトレンチゲート電極25との間には、例えば、シリコン酸化膜からなるゲート絶縁膜27が形成されている。P型シリコン単結晶領域19のうち、トレンチ23の側面に沿った領域にチャネルが形成される。N⁺型ソース領域21は、トレンチ23の周囲であって、かつP型シリコン単結晶領域19の表面に位置している。P型

シリコン単結晶領域19上には、例えば、シリコン酸化膜からなる絶縁膜29が位置している。絶縁膜29には、N⁺型ソース領域21の一部およびP型シリコン単結晶領域19の一部を露出させるコンタクトホール37が形成されている。絶縁膜29上には、例えば、アルミニウムからなるソース電極31が位置している。ソース電極31は、コンタクトホール37に充填されている。これを介してソース電極31は、N⁺型ソース領域21およびP型シリコン単結晶領域19と接続されている。

【0013】次に、第1実施形態の主な効果を説明する。第1実施形態は、スーパージャンクション構造13の終端にあるシリコン単結晶領域（P⁻型シリコン単結晶領域15）の外側に、絶縁領域35が配置されている。第1実施形態は、絶縁領域35により耐圧を保持している。つまり、P⁻型シリコン単結晶領域41の一方は、N⁺型ドレイン領域11と電気的に接続され、他方は、他の層と電気的に接続されていない。このため、縦型MOS電界効果トランジスタ1のオフ時（耐圧保持時）、P⁻型シリコン単結晶領域41の電位は、N⁺型ドレイン領域11と同じ電位となる。また、スーパージャンクション構造13の終端上に位置するP型シリコン単結晶領域19（19a）は、ソース電極31と電気的に接続されている。このため、P型シリコン単結晶領域19（19a）の電位は接地レベルである。よって、第1実施形態は、絶縁領域35により耐圧を保持している。絶縁領域35はシリコン酸化膜であるので、P⁻型シリコン単結晶領域15、41に比べて、絶縁破壊電界強度が高い。このため、第1実施形態によれば、シリコンリミットを超える耐圧を実現することが可能となる。また、絶縁領域35は、絶縁破壊電界強度が高いので、絶縁領域35の幅W₁が小さくても、耐圧を保持することができる。このため、第1実施形態によれば、縦型MOS電界効果トランジスタ1の高集積化を図ることができる。また、絶縁領域35は、トレンチ33にシリコン酸化膜を埋め込むことにより形成している。このため、第1実施形態によれば、容易に、絶縁領域35を形成することができる。

【0014】第1実施形態には、以下の変形例がある。

【0015】（1）トレンチ33にシリコン酸化膜を埋め込むことにより、絶縁領域35を形成している。しかしながら、例えば、次の方法で絶縁領域35を形成してもよい。まず、シリコン基板上に絶縁膜を形成し、これに所定のパターンニングをすることにより、絶縁領域を形成する。そして、絶縁領域を挟むように、エピタキシャル成長法により、シリコン単結晶領域を形成する。

【0016】（2）シリコン酸化膜を絶縁領域35の材料にしている。しかしながら、絶縁性があり、かつシリコン単結晶よりも絶縁破壊電界強度が高い材料（例えば、シリコン窒化膜）であれば、絶縁領域35の材料にすることが可能である。

【0017】(3) トレンチゲート電極25をゲート電極として、平面ゲート電極をゲート電極としてもよい。

【0018】(4) 縦型MOS電界効果トランジスタ1に本発明を適用しているが、他の縦型半導体装置(例えば、IGBT)に本発明を適用することもできる。

【0019】(5) 縦型MOS電界効果トランジスタ1は、N型であるが、P型でもよい。

【0020】なお、これらの変形例は、次に説明する第2実施形態にも当てはまる。

【0021】[第2実施形態] 図2は、本発明の第2実施形態の断面図である。第2実施形態は、縦型MOS電界効果トランジスタ3に本発明を適用している。図1に示す縦型MOS電界効果トランジスタ1と同等の機能を有する部分には、同一符号を付している。縦型MOS電界効果トランジスタ3が縦型MOS電界効果トランジスタ1と相違する部分を説明し、同じ部分については説明を省略する。

【0022】縦型MOS電界効果トランジスタ3に備えられるスーパージャンクション構造13の終端の外側には、絶縁領域35aが位置する。絶縁領域35aは、第1実施形態の絶縁領域35と同様の構造をしている。絶縁領域35aの外側には、P型シリコン単結晶領域45とP型シリコン単結晶領域43とからなるシリコン単結晶領域47が位置する。P型シリコン単結晶領域45は、P型シリコン単結晶領域15とP型不純物濃度が同じである。P型シリコン単結晶領域45は、N型ドレイン領域11と電気的に接続されている。P型シリコン単結晶領域43は、P型シリコン単結晶領域19とP型不純物濃度が同じである。P型シリコン単結晶領域43は、コンタクトホール37を介して、ソース電極31と電気的に接続されている。シリコン単結晶領域47の外側には、絶縁領域35bが位置する。絶縁領域35bは、第1実施形態の絶縁領域35と同様の構造をしている。絶縁領域35bの外側には、P型シリコン単結晶領域41が位置する。

【0023】次に、第2実施形態の特有な効果を説明する。第2実施形態によれば、第1実施形態よりも高耐圧化が可能となる。すなわち、図1に示す第1実施形態でも、絶縁領域35の幅 W_1 を大きくすれば、耐圧をさらに向上させることができる。しかし、成膜技術上の理由により、あまり大きな幅のトレンチ33には、絶縁膜を完全に埋め込むことができない。現時点の成膜技術では、約2 μm 幅のトレンチが限界である。第2実施形態では、絶縁領域35aと絶縁領域35bとの間にシリコン単結晶領域47を配置している。シリコン単結晶領域47のP型シリコン単結晶領域45は、N型ドレイン領域11と電気的に接続されている。また、シリコン単結晶領域47のP型シリコン単結晶領域43は、ソース電極31と電気的に接続されている。このため、シリコ

ン単結晶領域47は、耐圧保持のとき、空乏化するので、実質的には絶縁領域35a、35bと同等となる。よって、第2実施形態によれば、絶縁領域35a、シリコン単結晶領域47、絶縁領域35bにより、耐圧を保持するので、より高耐圧化が可能となる。

【0024】第2実施形態には、以下の変形例がある。

【0025】(1) 第2実施形態では、絶縁領域35a、シリコン単結晶領域47、絶縁領域35bにより、耐圧を保持しているが、絶縁領域およびシリコン単結晶領域の数を増やすこともできる。つまり、絶縁領域35bのとなりには他のシリコン単結晶領域を配置し、他のシリコン単結晶領域のとなりには他の絶縁領域を配置し、これを繰り返すのである。この構成によれば、さらに耐圧を向上させることができる。

【0026】(2) 第2実施形態では、シリコン単結晶領域47の一方をソース電極31と電気的に接続させている。しかしながら、シリコン単結晶領域47に空乏層が形成できるなら、ソース電極31とは別の電極に、シリコン単結晶領域47の一方を電気的に接続させてもよい。

【0027】[シミュレーション] 第1実施形態の縦型MOS電界効果トランジスタ1の耐圧、第2実施形態の縦型MOS電界効果トランジスタ3の耐圧および比較例となる縦型MOS電界効果トランジスタ5の耐圧を、シミュレーションにより求めた。比較例とは、第2実施形態の縦型MOS電界効果トランジスタ3において、P型シリコン単結晶領域43がソース電極43と電気的に接続されていない構造をしたものである。

【0028】上記三つの縦型MOS電界効果トランジスタについて、ゲート電圧、ソース電圧、ボディ電圧のそれぞれを0Vとした状態で、ドレイン電圧を変化させ、ドレイン電流を測定した。その結果を図3のグラフに示す。なお、絶縁領域35、35a、35bの幅 W_1 は、2 μm であり、シリコン単結晶領域47の幅 W_2 は、1 μm とした。ドレイン電流が急激に流れるようになる電圧が耐圧である。図3のグラフから分かるように、第2実施形態の縦型MOS電界効果トランジスタ3の耐圧が最も高い(約110V)。

【0029】比較例となる縦型MOS電界効果トランジスタ5の耐圧が、第1実施形態の縦型MOS電界効果トランジスタ1の耐圧と同等となるのは、以下の理由からである。比較例となる縦型MOS電界効果トランジスタ5において、図2に示すシリコン単結晶領域47のP型シリコン単結晶領域43は、ソース電極31と電気的に接続されていない。このため、シリコン単結晶領域47は、耐圧保持のとき、空乏化されず、N型ドレイン領域11と同じ電位となる。よって、比較例では、絶縁領域35aのみで耐圧を保持し、シリコン単結晶領域47および絶縁領域35bは耐圧を保持する機能を果たさない。したがって、比較例の耐圧は、第1実施形態の耐圧

と同等となるのである。

【0030】次に、図2に示す縦型MOS電界効果トランジスタ3において、シリコン単結晶領域47の幅 W_2 を $1\mu\text{m}$ とした状態で、絶縁領域(35a、35b)の幅 W_1 を、 $1\mu\text{m}$ 、 $2\mu\text{m}$ 、 $3\mu\text{m}$ に変化させ、それぞれの場合の耐圧を、シミュレーションにより求めた。耐圧を測定するときの他の条件は、先程と同じにした。結果を図4のグラフに示す。図4のグラフから分かるように、絶縁領域(35a、35b)の幅 W_1 が大きくなるほど、耐圧が向上する。

【0031】次に、図2に示す縦型MOS電界効果トランジスタ3において、絶縁領域(35a、35b)の幅 W_1 を $3\mu\text{m}$ とした状態で、シリコン単結晶領域47の幅 W_2 を、 $0.5\mu\text{m}$ 、 $1.0\mu\text{m}$ 、 $1.5\mu\text{m}$ 、 $2.0\mu\text{m}$ に変化させ、それぞれの場合の耐圧を、シミュレーションにより求めた。耐圧を測定するときの他の条件は、先程と同じにした。結果を図5のグラフに示す。図5のグラフから分かるように、シリコン単結晶領域47の幅 W_2 が $1.5\mu\text{m}$ のとき、耐圧が最大となる(約240V)。幅 W_2 $1.5\mu\text{m}$ のほうが、幅 W_2 $2.0\mu\text{m}$ よりも、耐圧が高い。これは、幅 W_2 $1.5\mu\text{m}$ くらいまでは、シリコン単結晶領域47を完全空乏化できるが、幅 W_2 $2.0\mu\text{m}$ では、シリコン単結晶領域47を完全空乏化できないためと考えられる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の断面図である。

【図2】本発明の第2実施形態の断面図である。

【図3】第1実施形態、第2実施形態、比較例の耐圧を示すグラフである。

【図4】第2実施形態において、シリコン単結晶領域4

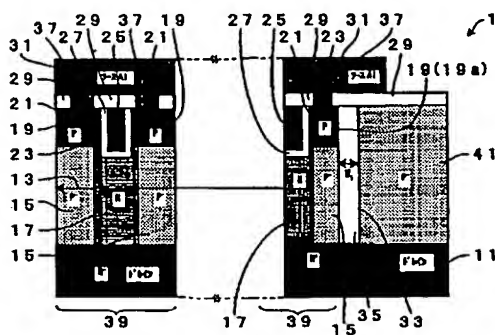
7の幅 W_2 を $1\mu\text{m}$ とした状態で、絶縁領域(35a、35b)の幅 W_1 を、 $1\mu\text{m}$ 、 $2\mu\text{m}$ 、 $3\mu\text{m}$ に変化させたときの、それぞれの場合の耐圧を示すグラフである。

【図5】第2実施形態において、絶縁領域(35a、35b)の幅 W_1 を $3\mu\text{m}$ とした状態で、シリコン単結晶領域47の幅 W_2 を、 $0.5\mu\text{m}$ 、 $1.0\mu\text{m}$ 、 $1.5\mu\text{m}$ 、 $2.0\mu\text{m}$ に変化させたときの、それぞれの場合の耐圧を示すグラフである。

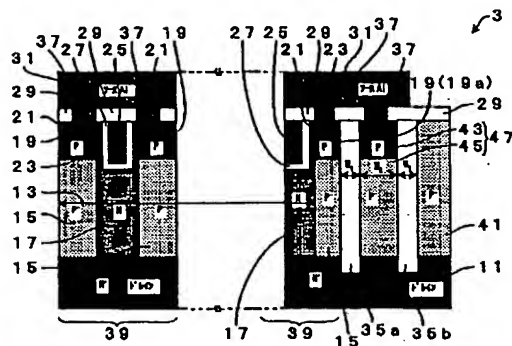
【符号の説明】

- 1、3 縦型MOS電界効果トランジスタ
- 11 N⁺型ドレイン領域
- 13 スーパージャンクション構造
- 15 P⁻型シリコン単結晶領域
- 17 N型シリコン単結晶領域
- 19、19a P型シリコン単結晶領域
- 21 N⁺型ソース領域
- 23 トレンチ
- 25 トレンチゲート電極
- 27 ゲート絶縁膜
- 29 絶縁膜
- 31 ソース電極
- 33 トレンチ
- 35、35a、35b 絶縁領域
- 37 コンタクトホール
- 39 セル
- 41 P⁻型シリコン単結晶領域
- 43 P型シリコン単結晶領域
- 45 P⁻型シリコン単結晶領域
- 47 シリコン単結晶領域

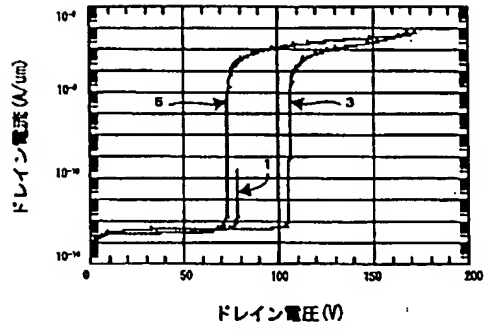
【図1】



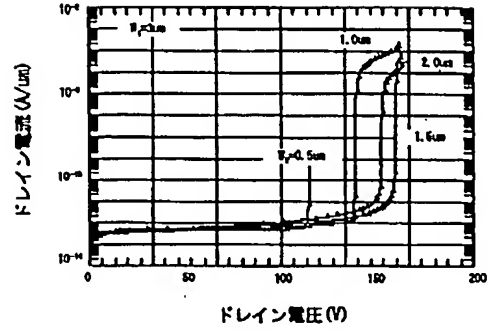
【図2】



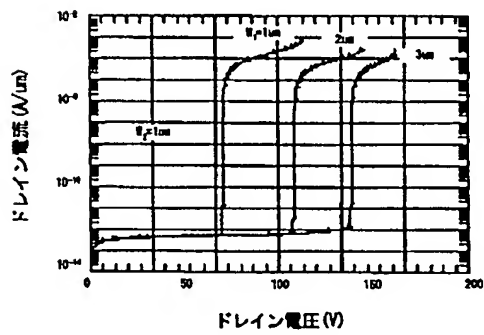
【図3】



【図5】



【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.